

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-013706
 (43)Date of publication of application : 22.01.1993

(51)Int.CI. H01L 27/108
 H01L 21/316

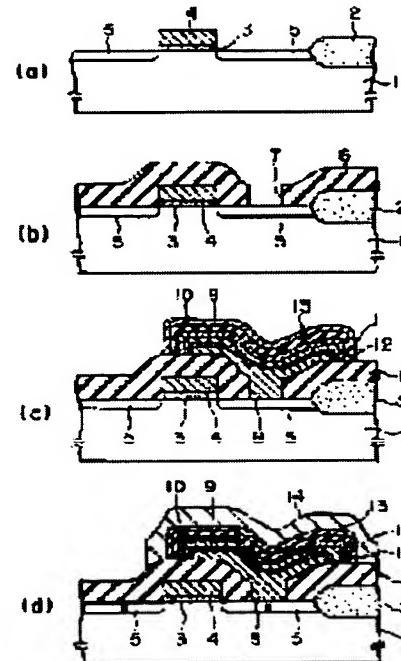
(21)Application number : 03-163134 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 03.07.1991 (72)Inventor : IMAI KEITAROU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To secure enough capacitance of a capacitor and get a highly reliable capacitor regardless of the reduction of occupancy area by constituting a capacitor insulating film out of a laminate of two or more kinds of metallic oxide films which have different forbidden band widths.

CONSTITUTION: A tungsten film 10 as a lower electrode, a three-layer of laminate of a tantalum oxide film 11, a titanium oxide film 12, and a tantalum oxide film 13 as a capacitor insulating film, and a tantalum film 14 as an upper electrode are stacked in order. For a memory cell formed this way, on one side a leak current can be suppressed by arranging a tantalum oxide film great in forbidden band width on electrode side and especially on the side where charge is injected, and on the other hand, the average permittivity can be elevated as a film at large by stacking a titanium oxide film great in permittivity. Accordingly, the lead current can be reduced at high integration, and enough capacitance of a capacitor can be maintained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-13706

(43)公開日 平成5年(1993)1月22日

1.45

(51)Int.Cl.⁵

H 01 L 27/108

21/316

識別記号

府内整理番号

F I

技術表示箇所

M 8518-4M

8728-4M

H 01 L 27/10

325 C

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号

特願平3-163134

(22)出願日

平成3年(1991)7月3日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 今井 駿太郎

神奈川県川崎市幸区小向東芝町 1 株式

会社東芝総合研究所内

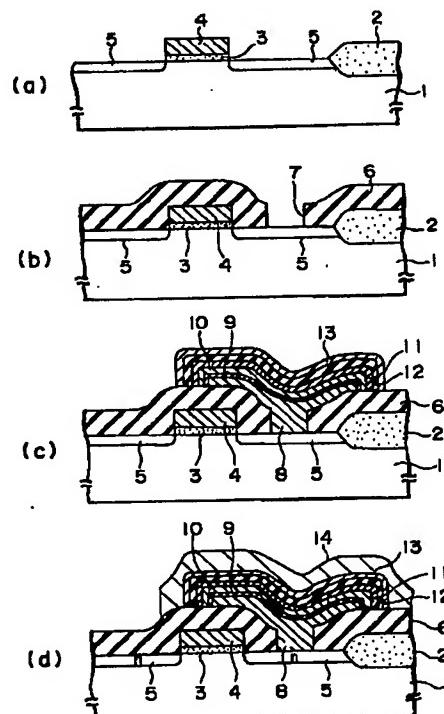
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 本発明は、十分なキャパシタ容量を確保することができ、信頼性の高いキャパシタを提供することを目的とする。

【構成】 第1の電極と、2の電極と、これらの電極間に挿持されたキャパシタ絶縁膜とを備えたキャパシタを具備した半導体装置において、前記キャパシタ絶縁膜が、異なる禁制帯幅を有する2種類以上の金属酸化膜の積層体で構成されている。



1

【特許請求の範囲】

【請求項1】 第1の電極と、2の電極と、これらの電極間に挟持されたキャパシタ絶縁膜とを備えたキャパシタを具備した半導体装置において、前記キャパシタ絶縁膜が、異なる禁制帯幅を有する2種類以上の金属酸化膜の積層体で構成されていることを特徴とする半導体装置。

【請求項2】 第1の電極と、2の電極と、これらの電極間に挟持されたキャパシタ絶縁膜とを備えたキャパシタを具備した半導体装置において、前記キャパシタ絶縁膜が、第1の金属酸化膜とこの第1の金属酸化膜の両側に形成された第2の金属酸化膜とを有する積層体からなり、前記第2の金属酸化膜の禁制帯幅が前記第1の金属酸化膜の禁制帯幅よりも大きいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に係り、特にDRAM等におけるキャパシタ構造に関する。

【0002】

【従来の技術】 半導体装置の1つに、キャパシタとトランジスタとを組み合わせて情報の記憶動作を行うDRAM (Dynamic Random Access read write Memory) がある。

【0003】 このような装置では、半導体基板とキャパシタ電極との間にキャパシタ絶縁膜を挟みキャパシタを構成している。従来は、このキャパシタ絶縁膜として酸化シリコン膜を用いているが、近年、高集積化、大容量化が急速に進むに伴い、微細化によるキャパシタ容量の低下を補うべく、酸化シリコン膜よりも誘電率の大きい材料が検討され、窒化シリコン膜と酸化シリコン膜との積層膜を用いる等の改良が試みられている。

【0004】 しかしながら、今後のより一層のキャパシタ占有面積の微細化に伴うキャパシタの大容量化に対応するにはさらに誘電率の大きい材料を用いる必要がある。このような要請から、誘電率が酸化シリコン膜に比べて約7倍程度も大きい材料である酸化タンタル膜を絶縁膜として用いることが検討されている。

【0005】 しかしながら、一般に、このような高誘電体材料は、金属を含む化合物であるため、高い誘電率を有する代わりに禁制帯幅が小さく、本質的にリーク電流が大きくなるという問題がある。従って、本来の絶縁膜としての性能が著しく劣化し、キャパシタの電荷保持能力を低下させることになってしまい、DRAMなどの信頼性を損なうことになる。

【0006】 例えば、酸化タンタルのバンドギャップは約4.7eVと小さいため、リーク電流が大きいことが問題となっており、このようなリーク電流を抑制するために、例えば下地シリコンと酸化タンタルとの界面に、

2

よりバンドギャップの大きい酸化シリコン膜や窒化シリコン膜を設ける方法が提案されている。

【0007】 しかしながら、膜厚の制限があるなかで、誘電率の小さい酸化シリコンや窒化シリコンを介在させるということは、その分、キャパシタ容量の低下を招くことになってしまう。

【0008】 このように、十分なキャパシタ容量を確保しつつリーク電流の抑制をはかることは極めて困難な問題となっている。

【0009】

【発明が解決しようとする課題】 このように、従来のキャパシタにおいては、十分なキャパシタ容量を確保しつつリーク電流の抑制をはかることは極めて困難であった。

【0010】 本発明は、前記実情に鑑みてなされたもので、占有面積の縮小化にもかかわらず、十分なキャパシタ容量を確保することができ、信頼性の高いキャパシタを提供することを目的とする。

【0011】

【課題を解決するための手段】 そこで本発明は、第1の電極と、2の電極と、これらの電極間に挟持されたキャパシタ絶縁膜とを備えたキャパシタを具備した半導体装置において、前記キャパシタ絶縁膜が、異なる禁制帯幅を有する2種類以上の金属酸化膜の積層体で構成されていることを特徴とする半導体装置を提供する。

【0012】 また、本発明は、第1の電極と、2の電極と、これらの電極間に挟持されたキャパシタ絶縁膜とを備えたキャパシタを具備した半導体装置において、前記キャパシタ絶縁膜が、第1の金属酸化膜とこの第1の金属酸化膜の両側に形成された第2の金属酸化膜とを有する積層体からなり、前記第2の金属酸化膜の禁制帯幅が前記第1の金属酸化膜の禁制帯幅よりも大きいことを特徴とする半導体装置を提供する。

【0013】

【作用】 上記構成によれば、金属酸化膜をキャパシタ絶縁膜として用いたキャパシタにおいて、リーク電流を抑制することが可能となる。

【0014】 従って、十分なキャパシタ容量と少ないリーク電流とによって優れた電荷保持能力を有するキャパシタを提供することができる。

【0015】 これは、以下に示すような作用による。

【0016】 一般に、高い誘電率を有する物質ほど禁制帯幅は小さくなる。そして禁制帯幅が小さくなるほど、電圧印加時に大きなリーク電流が流れ、絶縁体としての性能が低下することになる。

【0017】 これは、電極すなわち導電体と絶縁膜との間のエネルギー障壁高さが小さくなることによる。

【0018】 しかしながら、電荷を保持することを目的としたキャパシタの場合には、絶縁性に優れると同時に高容量である必要がある。従って絶縁膜の材質としては

3

誘電率の高い材料を用い、しかも膜厚はできるだけ薄くするのが望ましい。

【0019】このような要請を満たすためには、導電体と絶縁膜との間のエネルギー障壁高さを大きくとりながら膜全体としては誘電率が大きいという相矛盾した要請を満たす必要がある。

【0020】このような要請に基づいて、酸化タンタル膜と酸化チタン膜の場合について考えてみる。

【0021】酸化タンタル膜と酸化チタン膜の禁制帯幅はそれぞれ約4.6eV, 3eVである。一方、誘電率(比誘電率)はそれぞれ約28, 80である。

【0022】このように酸化タンタル膜に比べて酸化チタン膜は、禁制帯幅は小さいものの誘電率ははるかに大きい。従って、キャパシタ絶縁膜をこれら酸化タンタル膜と酸化チタン膜との積層構造にして、電極側、特に電荷が注入される側に禁制帯幅の大きい酸化タンタル膜を配することによってリーク電流を抑制する一方、誘電率の大きい酸化チタンを積層することによって膜全体としての平均的な誘電率を高めることができる。

【0023】望ましくは、禁制帯幅の小さい金属酸化物膜の両側を禁制帯幅の大きい金属酸化物膜で挟むようにすれば、リーク電流を抑制する一方、誘電率の大きい金属酸化物膜を積層することによって膜全体としての平均的な誘電率を高めることができる。

【0024】このようにして、高いキャパシタ容量を有しつつ、電荷保持能力の高いキャパシタを得ることができる。

【0025】

【実施例】以下、本発明の実施例について図面を参考しつつ詳細に説明する。

【0026】図1(a)乃至図1(d)は、n+多結晶シリコン膜8上に形成されたチタンシリサイド膜9を介して、下部電極(ストレージノード)としてのタンゲステン膜10、キャパシタ絶縁膜として酸化タンタル膜11/酸化チタン膜12/酸化タンタル膜13の3層積層膜、上部電極としてタンゲステン膜14を順次積層したキャパシタを用いた、積層形メモリセル構造のDRAMの製造工程図である。

【0027】まず、図1(a)に示すように、比抵抗10Ω·cm程度の(100)p型のシリコン基板1内に、通常のLOCOS法により素子分離絶縁膜2を形成する。そして、熱酸化法によりゲート絶縁膜となる200nmの酸化シリコン層3およびゲート電極となる300nmの第1のn+多結晶シリコン層4を堆積し、フォトリソ法および反応性イオンエッティング法によってこれらをパターニングし、ゲート絶縁膜3およびゲート電極4を形成する。さらに、このゲート電極4をマスクとしてAsイオンをイオン注入し、n-形拡散層5からなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。

4

【0028】さらに、図1(b)に示すように、この上層に、CVD法により、膜厚150nm程度の酸化シリコン膜6を全面に堆積したのち、フォトリソ法および反応性イオンエッティングにより、ストレージ・ノード・コンタクト7を形成する。

【0029】こののち、図1(c)に示すように、全面に膜厚80nmの第2のn+多結晶シリコン膜8を堆積した後、フォトリソ法および化学的ドライエッティング法(等方性エッティング)により、パターニングし、さらにこの上層にチタンシリサイド膜9を例えば20~30nm形成し、さらにその上にCVD法により選択的に膜厚100nmの第1のタンゲステン膜10からなるキャパシタ下部電極を形成する。この後、CVD法によりキャパシタ絶縁膜となる第1の酸化タンタル膜11を例えば5nmの膜厚で、酸化チタン膜12を例えば膜厚15nmで、第2の酸化タンタル膜13を例えば膜厚5nmで順次形成する。

【0030】そして最後に、図1(d)に示すように、キャパシタ上部電極として膜厚100nmの第2のタンゲステン膜14を全面に形成した後、通常の写真食刻法を用いてパターニングし、メモリセルを形成する。

【0031】このようにして形成されたDRAMのリーク電流特性を第2図に曲線aで示す。比較のために、キャパシタ絶縁膜として酸化タンタル膜を単層構造で用いた場合のリーク電流特性を曲線bに示す。ここでは両者共に膜厚は2nmとする。ここでこの膜厚の値は、キャパシタ絶縁膜として、酸化シリコン膜を用いた場合の膜厚に換算した値である。

【0032】これらの比較からも、本発明実施例のDRAMはリークが大幅に低減されていることがわかる。

【0033】図3(a)および(b)は本発明実施例のキャパシタ絶縁膜と従来例のキャパシタ絶縁膜のバンド構造の比較図である。

【0034】このようにして形成されたDRAMによれば、キャパシタが、リーク電流が少なく、キャパシタ容量が大きく、電荷保持量の大きいもので構成されているため、誤動作が少なく信頼性の高いDRAMを得ることができる。

【0035】なお、前記実施例では、n+多結晶シリコン膜8上にチタンシリサイド膜9を介して、下部電極(ストレージノード)としてのタンゲステン膜10を形成し、この上にキャパシタ絶縁膜を形成するようしているが、n+多結晶シリコン膜8上に直接キャパシタ絶縁膜を形成した場合に比べ、空乏層が形成されない分、容量を大きくすることができます。また、酸化タンタル膜とタンゲステン膜との界面は安定であることから両膜の反応より酸化タンタル膜中に欠陥が生じることはなくなり、また大容量を維持することができる。

【0036】また、図4に示すように、前記実施例における多結晶シリコン膜8の上に直接、キャパシタ絶縁膜50として酸化ジルコニウム(ZrO₂)膜21-酸化チタ

ン膜22—酸化ジルコニウム膜23の3層構造膜を形成し、上部電極として多結晶シリコン膜24を用いるようにしてもよい。また、下部電極としては多結晶シリコンを用い、上部電極としてはタングステン膜等の金属膜を用いても良い。さらに酸化ジルコニウム膜—酸化チタン膜—酸化ハフニウム膜の3層構造膜、酸化ハフニウム膜—酸化チタン膜—酸化ハフニウム膜の3層構造膜、酸化ハフニウム膜—酸化チタン膜—酸化ジルコニウム膜の3層構造膜等も有効である。また、キャパシタの上部電極および下部電極としては、タングステン膜を用いたが、必ずしもこれらに限定されるものではなく、金属あるいは金属合金等、本発明の条件を満たす範囲内で適宜変更可能である。

【0037】さらにまた、前記実施例では、キャパシタ絶縁膜として酸化タンタル膜／酸化チタン膜／酸化タンタル膜の3層膜を用いたが、2層膜あるいは4層以上の積層膜を用いてもよい。さらに、キャパシタ絶縁膜の材料としても、酸化タンタルと酸化チタンとの組み合わせに限定されることなく、酸化タンタル膜(TaO_2)とチタン酸ストロンチウム膜($SrTiO_3$)、イットリウム酸化膜(Y_2O_3)とチタン酸鉛($PbTiO_3$)などの組み合わせ、など、適宜選択可能である。加えてこれらの実施例では、積層キャパシタ構造のDRAMについて説明したが、トレンチ構造のDRAMに対しても適用可能であることはいうまでもない。

【0038】。

【発明の効果】以上説明してきたように、本発明のキャパシタによれば、異なる禁制帯幅を有する2種類以上の

金属酸化膜の積層膜をキャパシタ絶縁膜として用いるようにしていているため、高集積化に際しても、リーク電流を低減し、十分なキャパシタ容量を維持しつつ、電荷保持能力を高めることができる。

【図面の簡単な説明】

【図1】本発明実施例の積層形メモリセル構造のDRAMの製造工程図

【図2】本発明実施例のDRAMのキャパシタと従来例のDRAMのキャパシタのリーク電流を示す比較図

【図3】本発明実施例のキャパシタと従来例のキャパシタのバント構造の比較図。

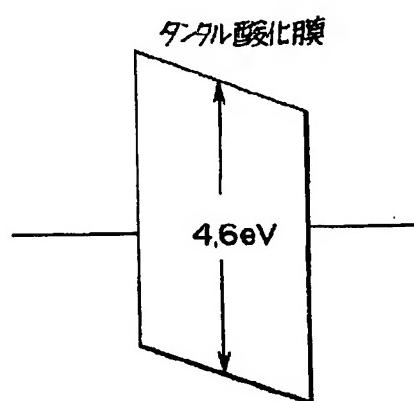
【図4】本発明による他の実施例の積層形メモリセル構造のDRAMの構成を示す概略断面図

【符号の説明】

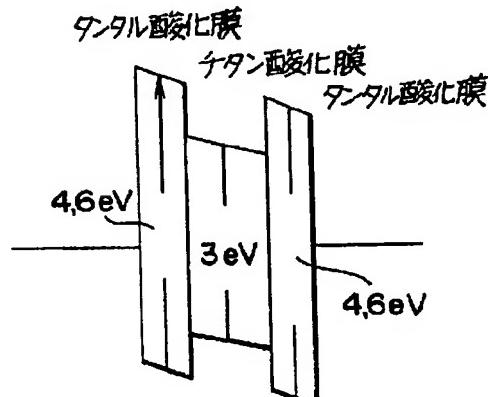
- | | |
|----|-------------------|
| 1 | p型のシリコン基板 |
| 2 | 素子分離絶縁膜 |
| 3 | ゲート絶縁膜 |
| 4 | ゲート電極 |
| 5 | n型拡散層 |
| 6 | 層間絶縁膜 |
| 7 | ストレージノードコンタクト |
| 8 | n+型多結晶シリコン層 |
| 9 | チタンシリサイド膜 |
| 10 | タングステン膜(下部電極) |
| 11 | 酸化タンタル膜(キャパシタ絶縁膜) |
| 12 | 酸化チタン膜(キャパシタ絶縁膜) |
| 13 | 酸化タンタル膜(キャパシタ絶縁膜) |
| 14 | タングステン膜(上部電極) |

【図3】

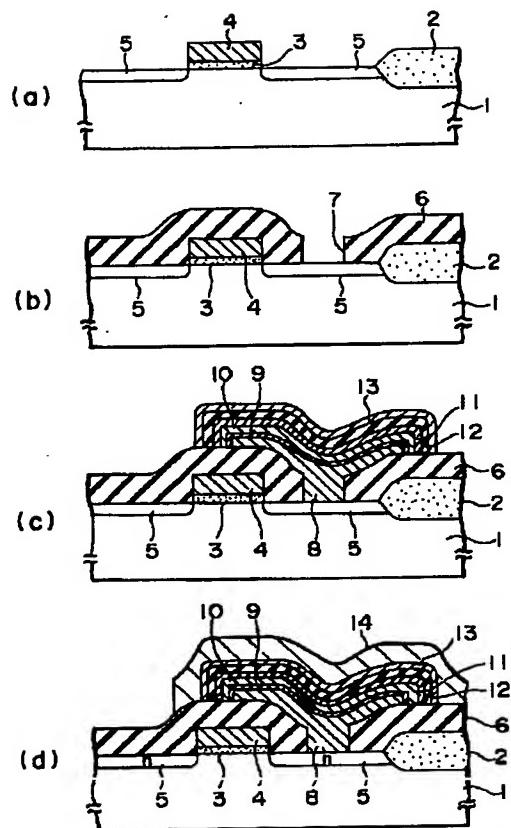
(a)



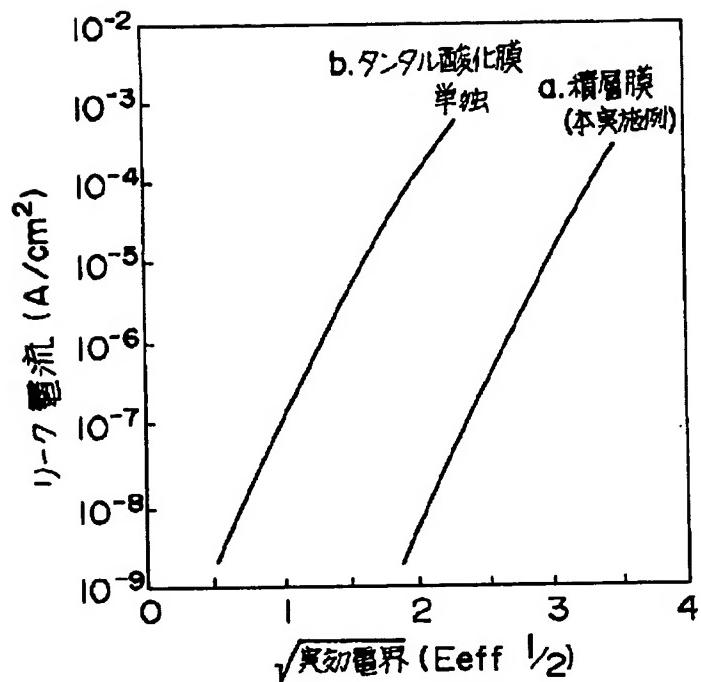
(b)



【図1】



【図2】



【図4】

